

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

3 03 51
MAGNET
Jc986 U.S. PTO
09/785500
02/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月21日

出願番号
Application Number:

特願2000-043063

願人
Applicant(s):

株式会社日立製作所

U.S. Appln. Filed 2-20-01
Inventor: K. Takikawa et al
Mattingly Stanger & mailer
Docket ACP-964

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2000-3097879

【書類名】 特許願

【整理番号】 H99027971

【提出日】 平成12年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

 【氏名】 滝川 久美子

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

 【氏名】 田中 聡

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 田代 嘉靖

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100083552

 【弁理士】

 【氏名又は名称】 秋田 収喜

 【電話番号】 03-3893-6221

【手数料の表示】

 【予納台帳番号】 014579

 【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 無線通信装置

【特許請求の範囲】

【請求項 1】

フィルタと、
上記フィルタの出力信号を入力信号として受けるようにされた増幅器を含む信号
処理集積回路が形成される半導体チップとを有し、
上記半導体チップの主面には、その辺の縁に沿って複数の電極端子が設けられ、
上記増幅回路は、上記フィルタの出力信号が供給されるべき制御電極と、上記制
御電極に供給される信号に従った信号を出力する第 1 電極と、電圧が印
加される第 2 電極とからなるトランジスタを有し、
上記トランジスタの上記制御電極及び上記第 1 電極並びに上記第 2 電極は配線を
介して上記電極端子に接続され、
上記電極端子と、上記制御電極及び上記第 1 電極並びに上記第 2 電極との間に、
、上記各配線を横切るような他の配線が設けられていないことを特徴と
する無線通信装置。

【請求項 2】

上記半導体チップは、上記辺と上記辺に対向する対向辺とを有し、上記辺から上
記対向辺に向かって上記電極端子、上記トランジスタ、上記トランジス
タへ電圧を供給する配線が順に配置されていることを特徴とする請求項
1 に記載の無線通信装置。

【請求項 3】

上記トランジスタの第 2 電極端子に印加される電圧は接地電圧であり、上記トラ
ンジスタの第 2 電極端子に接地電圧を供給する電極端子は上記ランジ
スタに対して設けられる保護回路に接地電圧を供給する電極端子とは異
なることを特徴とする請求項 1 に記載の無線通信装置。

【請求項 4】

上記信号処理集積回路は、信号送信回路を有し、この信号送信回路に電圧を供給
する配線は、上記増幅器に対するバイアス回路及び静電破壊保護回路に

電圧を供給する配線と同じ電極端子に結合されていることを特徴とする
請求項 1 に記載の無線通信装置。

【請求項 5】

上記増幅器は上記半導体チップの一边側に存在し、その辺の中央付近に配置されていることを特徴とする請求項 2 に記載の無線通信装置。

【請求項 6】

上記増幅器は、上記半導体チップの一边側と上記一边と交差する交差点により形成される角部に配置されていることを特徴とする請求項 2 に記載の無線通信装置。

【請求項 7】

上記電極端子と上記半導体チップの辺との間に配線が設けられていないことを特徴とする請求項 2 に記載の無線通信装置。

【請求項 8】

単一の上記電極端子から延在する配線は上記トランジスタの制御電極と、上記トランジスタに対して設けられる保護ダイオードの一方の電極に繋がっていることを特徴とする請求項 1 に記載の無線通信装置。

【請求項 9】

上記増幅器は上記半導体チップの辺と上記保護回路の間に配置することを特徴とする請求項 3 に記載の無線通信装置。

【請求項 10】

波長が異なる二つの信号処理系を有し、

上記各信号処理系は、

フィルタと、

上記フィルタの出力信号を入力信号として受けるようにされた増幅器を含む信号処理集積回路を有し、

上記二つの信号処理集積回路は同一の半導体チップに形成され、

上記半導体チップの主面には、その辺の縁に沿って複数の電極端子が設けられ、

上記各増幅回路は、上記各フィルタの出力信号が供給されるべき制御電極と、上記制御電極に供給される信号に従った信号を出力する第 1 電極と、電圧

が印加される第 2 電極とからなるトランジスタを有し、
上記各トランジスタの上記制御電極及び上記第 1 電極並びに上記第 2 電極は配線
を介して上記電極端子に接続され、
上記電極端子と、上記制御電極及び上記第 1 電極並びに上記第 2 電極との間には
、上記各配線を横切るような他の配線が設けられていないことを特徴と
する無線通信装置。

【請求項 1 1】

上記半導体チップは、上記辺と上記辺に対向する対向辺とを有し、上記辺から上
記対向辺に向かって上記電極端子、上記トランジスタ、上記トランジ
スタへ電圧を供給する配線が順に配置されていることを特徴とする請求項
1 0 に記載の無線通信装置。

【請求項 1 2】

上記トランジスタの第 2 電極端子に印加される電圧は接地電圧であり、上記トラ
ンジスタの第 2 電極端子に接地電圧を供給する電極端子は上記トランジ
スタに対して設けられる保護回路に接地電圧を供給する電極端子とは異
なることを特徴とする請求項 1 0 に記載の無線通信装置。

【請求項 1 3】

上記各信号処理系の上記増幅器及びこの増幅器に接続される上記保護回路は一つ
の領域に設けられ、
上記領域は上記半導体チップの一辺に沿って延在する辺と、この辺に対向する対
向辺、及び上記辺と上記対向辺を結ぶ辺とで囲まれ、
上記対向辺は段階的に変化する線で形成されていることを特徴とする請求項 1 0
に記載の無線通信装置。

【請求項 1 4】

上記増幅器は低雑音増幅器であることを特徴とする請求項 1 または請求項 1 0 に
記載の無線通信装置。

【請求項 1 5】

上記各信号処理系の上記増幅器及びこの増幅器に接続される上記保護回路は一つ
の領域に設けられ、

上記領域は、上記半導体チップの上記辺と、この辺に対向する対向辺との間に設けられ、

上記対向辺に近い上記領域の辺は段階的に変化するように形成されていることを特徴とする請求項 1 0 に記載の無線通信装置。

【請求項 1 6】

上記信号処理集積回路は、信号送信回路を有し、この信号送信回路に電圧を供給する配線は、上記増幅器に対するバイアス回路及び静電破壊保護回路に電圧を供給する配線と同じ電極端子に結合されていることを特徴とする請求項 1 0 に記載の無線通信装置。

【請求項 1 7】

上記増幅器は上記半導体チップの一边側に存在し、その辺の中央付近に配置されていることを特徴とする請求項 1 1 に記載の無線通信装置。

【請求項 1 8】

上記増幅器は、上記半導体チップの一边側と上記一边と交差する交差辺とにより形成される角部に配置されていることを特徴とする請求項 1 1 に記載の無線通信装置。

【請求項 1 9】

上記電極端子と上記半導体チップの辺との間に配線が設けられていないことを特徴とする請求項 1 1 に記載の無線通信装置。

【請求項 2 0】

単一の上記電極端子から延在する配線は上記トランジスタの制御電極と、上記トランジスタに対して設けられる保護ダイオードの一方の電極に繋がっていることを特徴とする請求項 1 0 に記載の無線通信装置。

【請求項 2 1】

上記第 1 電極と上記第 2 電極のそれぞれに上記トランジスタに対して設けられる保護ダイオードが接続されていることを特徴とする請求項 2 0 に記載の無線通信装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は無線通信装置に係わり、特に高周波特性が良好になる無線通信用受信集積回路の内部回路のレイアウト技術に適用して有効な技術に関する。

【0002】

【従来の技術】

デジタルセルラーシステム等の無線通信装置（無線通信移動体端末機器、以下、端末機器とも称す）における信号処理集積回路（IC）は、単一の半導体チップに多くの内部回路が組み込まれている。

【0003】

信号処理ICについては、例えば、「DIGEST OF TECHNICAL PAPERS」,ISSC98/February5,1998,pp48-49,PP411「A single-Chip CMOS Transceiver for DCS1800 wireless Communications」に記載されている。この文献には、DCS (Digital Cellular System) 1800向け送受信回路が1チップ化されたICが開示されている。レイアウト写真によれば、電極端子（パッド）の内側に電源ラインまたはグランドラインがあり、その内側にLNA (Low-Noise Amplifier : 低雑音増幅) 回路が配置され、さらにその内側に電源ラインまたはグランドラインが配置されている。

【0004】

また、同様の技術については、「DIGEST OF TECHNICAL PAPERS」,ISSC99/February16,1999,pp224-225,PP463「Dual-Band High-Linearity Variable-Gain Low-Noise Amplifiers for Wireless Applications」に記載されている。この文献には、0.9、2.0GHz帯向けデュアルバンド無線通信送受信IC向けに2つの低雑音増幅器を1チップ化し、静電保護回路をつけて、TSSOP (Thin Small Outline Package) 20ピンパッケージに封止したものが開示されている。レイアウト写真によれば、外周に電源ライン又はグランドラインがあり、その内側にパッドが並び、その内側に電源ライン又はグランドラインが取り囲み、その中にLNA回路が配置されている。

【0005】

また、「日立評論」、Vol.81,No.10(1999-10),PP17~20には、LNA, デュア

ルシンセサイザを含む送受信部をワンチップ化した信号処理 IC について記載されている。この文献には、G S M (Global System for Mobile Communications) と D C S 1 8 0 0 の信号処理が行えるデュアルバンド携帯電話用 IC について記載されている。G S M ではアンテナで受信した信号を帯域通過フィルタにかけて不要信号成分を除去して 9 2 5 ~ 9 6 0 M H z の信号を取り出し、その後専用の L N A 回路で増幅する。また、D C S 1 8 0 0 ではアンテナで受信した信号を帯域通過フィルタにかけて不要信号成分を除去して 1 8 0 5 ~ 1 8 8 0 M H z の信号を取り出し、その後専用の L N A 回路で増幅する。

【 0 0 0 6 】

【発明が解決しようとする課題】

無線通信装置において、低雑音増幅器 (L N A) は受信系の第 1 ステージの回路で、極めて小さい受信信号を増幅して次段のミキサへ信号を送るため、受信系全体の特性を大きく支配する。従って、低雑音増幅器は、高利得、低雑音等の高周波特性が要求される。これらの特性を劣化させる要因として、以下の 2 点が挙げられる。

【 0 0 0 7 】

(1) L N A 回路を構成するトランジスタのエミッタパッドに接続されるワイヤ、及びパッケージの内外に亘って延在するリードの寄生インダクタンス分で負帰還量が大きくなり、利得が低下する。

【 0 0 0 8 】

(2) 上記パッドから L N A 回路を構成するトランジスタのベースまでの配線距離が長いと、配線容量が大きくなり利得が低下するとともに、配線抵抗の増大によって雑音特性が劣化する。

【 0 0 0 9 】

一方、従来の信号処理 IC では、以下のような問題がある。

【 0 0 1 0 】

(a) 半導体チップの辺と、ワイヤを接続するパッドとの間に電源ライン又はグラウンドラインがある従来の信号処理 IC では、上記パッドとリード内端を接続するワイヤが電源ライン又はグラウンドラインをまたぐ分長くなり、利得が低下し

、かつ雑音特性が劣化する。

【 0 0 1 1 】

(b) LNA回路とパッド間に電源ラインやグランドラインが存在する従来の信号処理ICも、上記同様に電源ラインやグランドラインを設ける分、配線距離が長くなり、利得及び雑音特性が劣化する。

【 0 0 1 2 】

本発明の目的は、高周波帯域での利得及び雑音特性を良好にできる無線通信装置を提供することにある。

【 0 0 1 3 】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【 0 0 1 4 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【 0 0 1 5 】

(1) アンテナに接続されるフィルタと、
上記フィルタに接続される増幅器（低雑音増幅器）を含む送受信回路が組み込まれた信号処理ICチップとを有し、
上記ICチップの主面にはその辺の縁に沿って複数の電極端子が設けられ、
上記増幅器は、上記フィルタの出力信号が供給されるべき制御電極と、上記制御電極に供給される信号に従った信号を出力する第1電極と、電圧（接地電圧）が印加される第2電極とからなるトランジスタを有し、
上記制御電極及び上記第1電極並びに上記第2電極は配線を介して上記電極端子に接続されてなるデュアルバンドの無線通信装置において、
上記電極端子と、上記制御電極及び上記第1電極並びに上記第2電極との間には、
上記各配線を横切るような他の配線が設けられていない。
また、上記電極端子と上記半導体チップの辺との間に配線が設けられていない。
上記増幅器は上記半導体チップの一辺側に存在し、その辺の中央付近に配置され

ている。

単一の上記電極端子から延在する配線は上記トランジスタの制御電極と、上記トランジスタに対して設けられる静電破壊保護ダイオードの一方の電極に繋がっている。第1電極、第2電極も同様である。

【0016】

上記(1)の手段によれば、(a)電極端子と各電極(制御電極及び第1・第2電極)との間にトランジスタ以外の配線が設けられていないことから、各電極と電極端子との距離が短くなり、配線容量が小さくなり利得が高くなるとともに、配線抵抗の低減によって雑音特性が良好になる。

【0017】

(b)半導体チップの辺と電極端子との間に配線が設けられていないことから、電極端子とリードの内端とを電氣的に接続するワイヤの長さが短くなり、ワイヤによる寄生インダクタンスの低減によって雑音特性が良好になる。

【0018】

(c)増幅器は半導体チップの一边側に存在し、その辺の中央付近に配置されている。リードを用いるパッケージ構造では、上記辺の中央付近に配置されるリードの長さも短い。この結果、各電極とパッケージの外に突出するリード外端までの距離が短くなり、利得の向上及び雑音特性の向上を図ることができる。

【0019】

(d)単一の電極端子から延在する配線はトランジスタの制御電極と、上記トランジスタに対して設けられる保護ダイオードの一方の電極に繋がる構造から、回路各部のレイアウトの設計が容易になる。

【0020】

(e)無線通信装置において、低雑音増幅器は受信系の第1ステージの回路で、極めて小さい受信信号を増幅して次段のミキサへ信号を送るため、受信系全体の特性を大きく支配する。従って、以上のように低雑音増幅器は高利得で低雑音となることから、無線通信装置の受信系の全体の特性を向上させることができる。

【0021】

(f) 上記 (e) により、低雑音増幅器の利得、雑音特性が良好であることから、後段のミキサ以降の回路の仕様を緩くでき、回路設計が容易になる。

【 0 0 2 2 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【 0 0 2 3 】

(実施形態 1)

図 1 乃至図 7 は本発明の一実施形態 (実施形態 1) である無線通信装置に係わる図である。本実施形態 1 では TDMA (time division multiple access) システムの無線通信装置、例えば、無線通信移動体端末機器に本発明を適用した例について説明する。

【 0 0 2 4 】

ここで、図 2 を参照しながら TDMA デュアルバンド無線通信端末機器の構成について説明する。この端末機器は、900MHz 帯の GSM システムと、1800MHz 帯の DCS 1800 システムの信号処理を行うことができる。

【 0 0 2 5 】

図 2 のブロック図では、アンテナ 330 に送受切換器 331 を介して接続する送信系と、受信系とを示してあり、送信系及び受信系はいずれも図示しないベースバンドに接続されるものである。

【 0 0 2 6 】

受信系は、アンテナ 330、送受切換器 331、この送受切換器 331 に並列に接続される二つの帯域通過フィルタ 311、前記帯域通過フィルタ 311 にそれぞれ接続される高周波バンド LNA 302a 及び低周波バンド LNA 302b、前記高周波バンド LNA 302a 及び低周波バンド LNA 302b に接続される二つの帯域通過フィルタ 311、前記帯域通過フィルタ 311 に接続される高周波バンド受信ミキサ 303a 及び低周波バンド受信ミキサ 303b、前記高周波バンド受信ミキサ 303a 及び低周波バンド受信ミキサ 303b に接続される

帯域通過フィルタ 3 1 1、前記帯域通過フィルタ 3 1 1 に接続される次段のミキサ 3 0 4、次段のミキサ 3 0 4 に接続される可変利得増幅器 3 0 5、前記可変利得増幅器 3 0 5 に接続される復調器 3 0 6 で構成され、復調器 3 0 6 から出力される I、Q 信号をベースバンドに入力する。上記帯域通過フィルタ 3 1 1 は帯域外スプリアスを除去する。

【 0 0 2 7 】

送信系は、ベースバンドから出力される I、Q 信号を入力信号とする変調器 3 0 8、オフセット PLL (Phase-Locked Loop) 3 0 9、オフセット PLL 3 0 9 に並列に接続される二つの VCO (Voltage-Controlled Oscillator) 3 2 0 a、3 2 0 b、VCO 3 2 0 a、3 2 0 b にそれぞれ接続される高周波電力増幅モジュール 3 2 1 a、3 2 1 b、高周波電力増幅モジュール 3 2 1 a、3 2 1 b にそれぞれ接続される LPF 3 2 2、二つの LPF 3 2 2 が接続される送受切換器 3 3 1、アンテナ 3 3 0 で構成されている。

【 0 0 2 8 】

信号処理 IC にはシンセサイザ 3 1 0 が設けられている。このシンセサイザ 3 1 0 は IF (Intermediate) VCO 3 2 5 に接続され、IF VCO 3 2 5 が IF ローカル信号を出力するように制御する。デバイダ 3 0 7 は VCO 3 2 5 に接続され次段のミキサ 3 0 4、復調器 3 0 6 及び変調器 3 0 8 にそれぞれ一層低周波なローカル信号を供給する。

【 0 0 2 9 】

また、シンセサイザ 3 1 0 は並列に接続される二つの RF VCO 3 2 6 a、3 2 6 b を介して、高周波バンド受信ミキサ 3 0 3 a、低周波バンド受信ミキサ 3 0 3 b 及びオフセット PLL 3 0 9 に接続され、高周波バンド受信ミキサ 3 0 3 a、低周波バンド受信ミキサ 3 0 3 b 及びオフセット PLL 3 0 9 にローカル信号を供給する。

【 0 0 3 0 】

送受信 IC 3 0 1 はデュアルバンドの高周波回路と中間周波数帯の回路を合わせてワンチップに内蔵したものである。図 2 の太線で囲まれる各回路によって送受信 IC 3 0 1 が構成される。即ち、IC チップ 2 1 3 には、高周波バンド LN

A 3 0 2 a, 低周波バンド L N A 3 0 2 b, 高周波バンド受信ミキサ 3 0 3 a, 低周波バンド受信ミキサ 3 0 3 b, 次段のミキサ 3 0 4, 可変利得増幅器 3 0 5, 復調器 3 0 6, デバイダ 3 0 7, 変調器 3 0 8, オフセット P L L 3 0 9, シンセサイザ 3 1 0 及び I F V C O 3 2 5 がモノリシックに組み込まれている。

【 0 0 3 1 】

アンテナ 3 3 0 で受信された信号（電波）は、受信系の各素子で順次処理されてベースバンドに送られる。また、ベースバンドから送られた信号は、送信系の各素子で順次処理されてアンテナ 3 3 0 から電波として放射される。

【 0 0 3 2 】

図 5 は、I C チップ 2 1 3 における各回路の配置を示す模式的レイアウト図である。I C チップ 2 1 3 の主面には、辺に沿って電極端子（パッド）2 1 2 が配置されている。そして、これらパッド 2 1 2 の内側に領域を分けて各回路が配置されている。図 5 に示すように、I C チップ（半導体チップ）2 1 3 の中央には P G A（Programmable Gain Amplifier）が配置され、図中上方には 2 n d M I X が配置され、図中下方には D I V, Q M O D, D E M O D が配置されている。また、これら各部の左側には、図中上から下に向けて 1 s t M I X, L N A, O P L L が配置され、右側には上から下に向けて D u a l S y n t h, V C O が配置されている。

【 0 0 3 3 】

1 s t M I X の部分には、高周波バンド受信ミキサ 3 0 3 a 及び低周波バンド受信ミキサ 3 0 3 b が設けられ、2 n d M I X の部分には次段のミキサ 3 0 4 が設けられている。

【 0 0 3 4 】

L N A の部分には高周波バンド L N A 3 0 2 a 及び低周波バンド L N A 3 0 2 b が設けられている。この高周波バンド L N A 3 0 2 a 及び低周波バンド L N A 3 0 2 b は、パッド 2 1 2 に近接し、かつ半導体チップ（I C チップ 2 1 3）の一边側に存在し、その辺の中央付近に配置されている（図 3 参照）。これは、リードフレームを使用して製造する半導体装置構造では、図 3 に示すように、リード 2 0 0 の長さが、半導体チップの辺の中央寄りのもの程短くなることから、L

NAの入・出力リードはより短いものを使用して寄生インダクタンスを小さくするためである。

【0035】

OPLLの部分にはオフセットPLL309が設けられ、PGAの部分には可変利得増幅器305が設けられ、DIVの部分にはデバイダ307が設けられ、QMODの部分には変調器308が設けられ、DEMODの部分には復調器306が設けられ、Dual Synthの部分にはシンセサイザ310が設けられ、VCOの部分にはIFVCO325が設けられている。

【0036】

ICチップ213は、所望のパッケージに組み込まれて半導体装置になる。本実施形態1の半導体装置230は、図3及び図4のように、QFP (Quadrature Flat Package) 構造となり、絶縁性樹脂からなる偏平四角形状のパッケージ215の周面(各辺)からリード200を突出させている。リード200の外端部分は、図4に示すように階段状に一段折れ曲がり、表面実装に適したガルウィング型になっている。

【0037】

パッケージ215内には、ICチップ213よりも僅かに大きくパッケージ215よりは小さな四角形状のチップ固定部214が位置している。そして、このチップ固定部214の主面にはICチップ213が図示しない接合材を介して固定されている。また、ICチップ213の露出する主面に設けられた各パッド212と、これに対応する各リード200の内端部分は導電性のワイヤ211で電気的に接続されている。ICチップ213及びワイヤ211もパッケージ215に完全に覆われている。

【0038】

チップ固定部214の各角部からは吊りリード216がパッケージ215の各角部に向かって延在するとともに、この吊りリード216はパッケージ215の外周部分で切断されている。

【0039】

この半導体装置230の製造においては、図示はしないがリードフレームが用

いられる。リードフレームは、所定厚さの金属板を精密プレスやエッチングによってパターン化したものであり、フレーム枠内に前記チップ固定部 2 1 4，チップ固定部 2 1 4 を支持する吊りリード 2 1 6，及びリード 2 0 0 を有するパターンとなっている。また前記パッケージ 2 1 5 を形成する領域から外れた領域に設けた細いタイバーによって各リード 2 0 0 をフレーム枠に支持している。また、吊りリード 2 1 6 は前記タイバーあるいはフレーム枠に支持されている。そして、樹脂封止によってパッケージ 2 1 5 を形成した後、前記タイバー等の不要リードフレーム部分を切断除去し、かつパッケージ 2 1 5 から突出したリード 2 0 0 の外端をガルウィング型に成形されることによって半導体装置 2 3 0 を製造する。

【 0 0 4 0 】

図 3 及び図 4 に示すように、低雑音増幅器 (LNA) 2 1 0 は、IC チップ 2 1 3 の一辺に沿い、かつ辺の中央に設けられて、寄生インダクタンスが小さい短いリード 2 0 0 を LNA 用の入・出力リードとして使用する。

【 0 0 4 1 】

次に、図 1 の模式図、図 6 及び図 7 を参照しながら、LNA 回路のレイアウトについて説明する。図 1 には、チップ固定部 2 1 4 の主面に固定され、かつパッケージ 2 1 5 で封止された IC チップ 2 1 3 の LNA 回路 1 4 7 部分 (一点鎖線で囲まれた部分) と、パッケージ 2 1 5 の内外に亘って延在するリード 2 0 0 と、リード 2 0 0 とパッド 2 1 2 を電氣的に接続するワイヤ 2 1 1 と、一部のリード 2 0 0 に接続される整合回路 1 3 4 ~ 1 3 7 と、前記整合回路 1 3 4 ~ 1 3 7 に接続される端子 1 3 8 ~ 1 4 1 と、一部のリード 2 0 0 に接続される IC 外の電源ライン 1 4 3 及び IC 外のグランドライン 1 4 2 とを示す。

【 0 0 4 2 】

LNA 回路 1 4 7 は、GSM システムで使用する低周波バンド用 LNA 1 1 0 と、DCS 1 8 0 0 システムで使用する高周波バンド用 LNA 1 1 1 の二つの LNA を有する。両 LNA はバイポーラトランジスタで構成されている。また、低周波バンド用 LNA 1 1 0 の各電極には静電破壊保護回路 1 1 2 ~ 1 1 4 が接続され、高周波バンド用 LNA 1 1 1 の各電極には静電破壊保護回路 1 1 5 ~ 1 1

7が接続され、低周波バンド用LNA110及び高周波バンド用LNA111の静電破壊を保護するようになっている。

【0043】

低周波バンド用LNA110及び高周波バンド用LNA111のパッド212はICチップ213の一辺に沿って配列されるとともに、辺119の中央部分に設けられている。これは、前述のようにICチップ213の辺119の中央及び辺119の中央寄りに内端を臨ませるリード200は、外端までの距離が短く、寄生インダクタンスの低減を図ることができるためである。

【0044】

また、低周波バンド用LNA110及び高周波バンド用LNA111の各電極と各パッド212との間には、上記各電極と各パッド212を電氣的に接続する配線を横切るような配線は設けられず、上記各電極と各パッド212を電氣的に接続する配線ができるだけ短くなるように配慮されている。これは配線の寄生抵抗や寄生容量を低減して利得及び雑音特性を良好にするためである。

【0045】

LNA回路147に係わるパッド212は、図1に示すように、上から下に向けてパッド101からパッド109の順序で配列されている。パッド101～109の機能はつぎのとおりである。

【0046】

101のパッドは低周波バンドLNAの出力パッド、102のパッドは低周波バンドLNAのグランドパッド、103のパッドは低周波バンドLNAの入力パッド、104のパッドは高周波バンドLNAの第1のグランドパッド、105のパッドは高周波バンドLNAの出力パッド、106のパッドは高周波バンドLNAの第2のグランドパッド、107のパッドは高周波バンドLNAの入力パッド、108のパッドはLNAのバイアス回路と静電破壊保護回路の電源パッド、109のパッドはLNAのバイアス回路と静電破壊保護回路のグランドパッドである。

【0047】

LNA回路147のグランドパッド102、104、106は、LNAバイア

ス回路のLNAのバイアス回路と静電破壊保護回路のグランドパッド109とは、リードを分離してワイヤ、リードで生じる寄生インダクタンスと、LNAバイアス回路及び静電破壊保護回路の寄生容量による発振を防止する構造になっている。

【0048】

上記パッド101～109に対応するリード200の配列は、図1に示すように、上から下に向けてリード201からリード209の順序で配列されている。リード201～209の機能はつぎのとおりである。

【0049】

201のリードは低周波バンドLNAの出力リード、202のリードは低周波バンドLNAのグランドリード、203のリードは低周波バンドLNAの入力リード、204のリードは高周波バンドLNAの第1のグランドリード、205のリードは高周波バンドLNAの出力リード、206のリードは高周波バンドLNAの第2のグランドリード、207のリードは高周波バンドLNAの入力リード、208のリードはLNAのバイアス回路と静電破壊保護回路の電源リード、209のリードはLNAのバイアス回路と静電破壊保護回路のグランドリードである。

【0050】

そしてリード201～209の内端部分と、これに対応するパッド101～109は導電性のワイヤ211で電氣的に接続されている。

【0051】

LNA回路147よりもICチップ213の中心寄りには受信系回路132及び送信系回路133が配置されている。図1にはLNA回路以外の受信系回路132の一部のパッド126、127と、送信系回路133の一部のパッド128が示されている。受信回路系の一部のパッド126、127及び送信回路系の一部のパッド128は、受信系のグランドライン145と受信系の電源ライン146との間に二つのダイオードを直列に接続した静電破壊保護回路129、130、131に接続されている。即ち、受信回路系の一部のパッド126、127及び送信回路系の一部のパッド128は、直列に接続された二つのダイオードの間

に接続されている。

【 0 0 5 2 】

図 1 において、受信系のグラウンドライン 1 4 5 及び受信系の電源ライン 1 4 6 は、それぞれ同一のハッチングで示されている。

【 0 0 5 3 】

図 1 においてリード 2 0 1 ～ 2 0 9 の下方にリード 1 4 4 が並んで示されている。このリード 1 4 4 は送信回路系の一部のパッド 1 2 8 にワイヤ 2 1 1 を介して電氣的に接続されている。

【 0 0 5 4 】

リード 2 0 1 と端子 1 3 8 との間には低周波バンド L N A の出力整合回路 1 3 4 が接続され、リード 2 0 3 と端子 1 3 9 との間には低周波バンド L N A の入力整合回路 1 3 5 が接続され、リード 2 0 5 と端子 1 4 0 との間には高周波バンド L N A の出力整合回路 1 3 6 が接続され、リード 2 0 7 と端子 1 4 1 との間には高周波バンド L N A の入力整合回路 1 3 7 が配置されている。

【 0 0 5 5 】

低周波バンド L N A の出力整合回路 1 3 4 は、端子 1 3 8 から高周波信号を出力し、電源ライン 1 4 3 からの電源電圧を低周波バンド用 L N A 1 1 0 のコレクタに供給する。低周波バンド L N A の入力整合回路 1 3 5 は、端子 1 3 9 より低周波バンド用 L N A 1 1 0 のベースに高周波信号を入力する。

【 0 0 5 6 】

高周波バンド L N A の出力整合回路 1 3 6 は、端子 1 4 0 から高周波信号を出力し、電源ライン 1 4 3 からの電源電圧を高周波バンド用 L N A 1 1 1 のコレクタに供給する。高周波バンド L N A の入力整合回路 1 3 7 は、端子 1 4 1 より高周波バンド用 L N A 1 1 1 のベースに高周波信号を入力する。

【 0 0 5 7 】

リード 2 0 2, 2 0 4, 2 0 6 は低周波バンド用 L N A 1 1 0 及び高周波バンド用 L N A 1 1 1 のエミッタに電氣的に接続され、 I C 外でグラウンドに接続される。

【 0 0 5 8 】

低周波バンド用 LNA 1 1 0 のベースとパッド 1 0 3 の間、及びエミッタとパッド 1 0 2 の間の高周波配線 1 2 0 a, 1 2 0 b を最短にするように、低周波バンド用 LNA 1 1 0 (トランジスタ部分) をパッド 1 0 1 からパッド 1 0 3 に隣接して配置する。高周波バンド用 LNA 1 1 1 においても同様にパッド 1 0 6, 1 0 7 に高周波バンド用 LNA 1 1 1 (トランジスタ部分) を隣接して配置する。

【 0 0 5 9 】

低周波バンド用 LNA 1 1 0 を保護する静電破壊保護回路 1 1 2 ~ 1 1 4 は、それぞれ低周波バンド用 LNA 1 1 0 のそばに配置し、LNA のコレクタ、ベース、エミッタに接続する。高周波バンド用 LNA 1 1 1 を保護する静電破壊保護回路 1 1 5 ~ 1 1 7 も同様に高周波バンド用 LNA 1 1 1 のそばに配置する。

【 0 0 6 0 】

LNA のバイアス回路 1 1 8 も低周波バンド用 LNA 1 1 0 及び高周波バンド用 LNA 1 1 1 に近接して配置し、破線で示す信号ライン 1 2 3 a, 1 2 3 b で低周波バンド用 LNA 1 1 0 及び高周波バンド用 LNA 1 1 1 に接続する。

【 0 0 6 1 】

低周波バンド用 LNA 1 1 0 のバイアス抵抗 1 2 4 は、バイアス回路 1 1 8 からのバイアス電流をバイアス電圧に変換して低周波バンド用 LNA 1 1 0 に供給する。高周波バンド用 LNA 1 1 1 のバイアス抵抗 1 2 5 は、バイアス回路 1 1 8 からのバイアス電流をバイアス電圧に変換して高周波バンド用 LNA 1 1 1 に供給する。

【 0 0 6 2 】

上記静電破壊保護回路 1 1 2 ~ 1 1 7 とバイアス回路 1 1 8 には、送信系の電源ライン 1 2 1 とグラウンドライン 1 2 2 で電源を供給する。TDMA システムでは、受信系が動作しているとき、送信系は動作していないため、電源系からの雑音が乗らない。この電源は、リード 2 0 8, ワイヤ 2 1 1, 電源パッド 1 0 8 と繋がる電源ライン、及びリード 2 0 9, ワイヤ 2 1 1, グラウンドパッド 1 0 9 と繋がる電源ラインを介して IC 外部から供給される。これらの電源ラインは送信系回路 1 3 3 にも接続されている。

【0063】

図6は低周波バンド用LNA110を構成するバイポーラトランジスタの配線パターンを示す模式的平面図であり、図7はバイポーラトランジスタの配線を示す模式的断面図である。

【0064】

図7に示すように、バイポーラトランジスタは、第1導電型の半導体層11に順次形成されるコレクタ領域12、ベース領域13及びエミッタ領域14と、これら各領域に接続されるコレクタ電極12c（第1電極）、ベース電極13c（制御電極）及びエミッタ電極14c（第2電極）とによって形成されている（図6参照）。図6は各電極と各パッドを接続する高周波配線120a、120b、120cを示す。

【0065】

また、図7はエミッタ電極14cと低周波バンドLNAのグランドパッド102を接続する高周波配線120bの配線構造を示す。半導体層11の表面は多層の絶縁膜15が形成されている。そして、この絶縁膜15内と表面に亘って3層の導電層16a、16b、16cと、各導電層を接続する導体からなるコンタクトプラグ17a、17bが設けられ、これらによってエミッタ電極14c、高周波配線120b及びパッド102が形成されている。

【0066】

導電層16aは最下層となるとともに、一部はエミッタ領域14に接触してエミッタ電極14cを構成する。導電層16bは中層となり、コンタクトプラグ17aを介して導電層16aに電氣的に接続されるとともに、コンタクトプラグ17bを介して上層の導電層16cと電氣的に接続される。導電層16cは絶縁膜15の表面に形成され最上層の導電層となり、外端部分は幅広になりパッド102を形成している。前記導電層16a、16b、16cは、例えばアルミニウム層によって形成される。

【0067】

図6に示すように、ベース電極13c及びエミッタ電極14cとパッド103及びパッド102との間の配線は短くなり高周波配線120a、120bを構成

することになる。

【 0 0 6 8 】

また、上記半導体層 1 1 は、 I C チップ 2 1 3 を形成するシリコンからなる半導体基板の主面に設けられたエピタキシャル層の電氣的に絶縁分離された部分等で構成されている。

【 0 0 6 9 】

なお、特に図示はしないが、高周波バンド用 L N A 1 1 1 もその配線パターンは上記低周波用 L N A 1 1 0 と近似したパターンになり、レイアウト上最短となるパターンが採用される。高周波バンド用 L N A 1 1 1 の場合は、ワイヤとリードの寄生インダクタンス分を低減し高利得化を図るために、エミッタは二つのパッド 2 1 2 (1 0 4 , 1 0 6) に接続されている。

【 0 0 7 0 】

次に、 L N A 回路 1 4 7 の周辺送受信回路のレイアウトについて簡単に説明する。受信系の電源ライン 1 4 6 , 受信系のグラウンドライン 1 4 5 は、ここでは図示されていない電源リード、グラウンドリードで I C 外部と接続され、受信系回路 1 3 2 へ電源電圧を供給する。受信回路の一部のパッド 1 2 6 , 1 2 7 は、ここでは図示されていないリードヘワイヤを介して接続され、 I C 外部と信号の入出力を行う。送信回路の一部のパッド 1 2 8 はリード 1 4 4 にワイヤ 2 1 1 を介して接続され、 I C 外部と信号の入出力を行う。 L N A 回路 1 4 7 以外の回路は、 I C チップ 2 1 3 の辺 1 1 9 から I C チップ 2 1 3 の中心に向かい、グラウンドライン、静電破壊保護回路、電源ライン、パッド、送信系回路あるいは受信系回路等の順で配置されている。

【 0 0 7 1 】

図 1 で示す受信系回路 1 3 2 が図 2 の高周波バンド受信ミキサ 3 0 3 a , 低周波バンド受信ミキサ 3 0 3 b , 次段のミキサ 3 0 4 , 可変利得増幅器 3 0 5 , 復調器 3 0 6 にあたり、図 1 の送信系回路 1 3 3 が図 2 の変調器 3 0 8 , オフセット P L L 3 0 9 にあたる。

【 0 0 7 2 】

本実施形態 1 によれば、以下の効果を有する。

【 0 0 7 3 】

(1) 電極端子 (パッド) 2 1 2 と各電極 (制御電極及び第 1 ・第 2 電極) 1 2 c, 1 3 c, 1 4 c との間に低雑音増幅器以外の配線が設けられていないことから、各電極とパッドとの距離が短くなり、配線容量が小さくなり利得が高くなるとともに、配線抵抗の低減によって雑音特性が良好になる。

【 0 0 7 4 】

(2) ICチップ 2 1 3 の辺 1 1 9 とパッド 2 1 2 との間に配線が設けられていないことから、パッド 2 1 2 とリード 2 0 0 の内端とを電氣的に接続するワイヤ 2 1 1 の長さが短くなり、ワイヤの寄生インダクタンス低減によって雑音特性が良好になる。

【 0 0 7 5 】

(3) 増幅器は半導体チップ 2 1 3 の一辺側に存在し、その辺 1 1 9 の中央付近に配置されている。リード 2 0 0 を用いるパッケージ構造では、上記辺 1 1 9 の中央付近に配置されるリード 2 0 0 の長さも短い。この結果、各電極とパッケージの外に突出するリード外端までの距離が短くなり、利得の向上及び雑音特性の向上を図ることができる。

【 0 0 7 6 】

(4) 単一のパッド 2 1 2 から延在する配線はトランジスタの制御電極と、上記トランジスタに対して設けられる保護ダイオードの一方の電極に繋がる構造から、回路各部のレイアウトの設計が容易になる。

【 0 0 7 7 】

(5) 無線通信装置において、低雑音増幅器は受信系の第 1 ステージの回路で、極めて小さい受信信号を増幅して次段のミキサへ信号を送るため、受信系全体の特性を大きく支配する。従って、本実施形態 1 によれば、低雑音増幅器は高利得で低雑音となることから、無線通信装置の受信系の全体の特性を向上させることができる。

【 0 0 7 8 】

(6) 上記 (5) により、低雑音増幅器の利得、雑音特性が良好であることから、後段のミキサ以降の回路の仕様を緩くでき、回路設計が容易になる。

【 0 0 7 9 】

(実施形態 2)

図 8 は本発明の他の実施形態（実施形態 2）であるデュアルバンドの無線通信装置における低雑音増幅器が組み込まれた半導体集積回路装置の一部を示す模式図、図 9 は本実施形態 2 の無線通信装置に組み込まれる IC チップにおける低雑音増幅器を構成するバイポーラトランジスタの配線パターンを示す模式的平面図である。

【 0 0 8 0 】

本実施形態 2 は、図 1 に示す実施形態 1 では、低周波バンド用 LNA 1 1 0 と高周波バンド用 LNA 1 1 1 との間の LNA のバイアス回路 1 1 8 が設けられる部分では、LNA 回路 1 4 7 の外周部分が内側に窪み、受信系回路 1 3 2 や送信系回路 1 3 3 のレイアウト設計において前記窪み領域が有効に使用できない場合もある。

【 0 0 8 1 】

そこで、本実施形態 2 ではレイアウト設計を容易にする LNA 回路 1 4 7 のパターンを提供するものである。即ち、低周波バンド用 LNA 1 1 0、高周波バンド用 LNA 1 1 1 及びこれら増幅器を保護する保護回路は一つの領域に設けられているが、この領域は上記半導体チップ（IC チップ）2 1 3 の一辺に沿って延在する辺 1 1 9 と、この辺 1 1 9 に対向する対向辺 2 0、及び上記辺 1 1 9 と上記対向辺 2 0 を結ぶ辺 2 1 とで囲まれている。そこで、上記対向辺 2 0 は段階的に変化する線で形成する。

【 0 0 8 2 】

換言するならば、各信号処理系の増幅器及びこの増幅器に接続される保護回路は一つの領域に設けられ、上記領域は、上記半導体チップの辺 1 1 9 と、この辺 1 1 9 に対向する対向辺との間に設けられていることから、上記対向辺に近い領域の辺（即ち、上記対向辺 2 0）は段階的に変化するよう形成しておくものである。

【 0 0 8 3 】

このようにすると、図 9 に示すように、図 6 に比べて、送信系の電源ライン 1

21やグラウンドライン122は煩雑になるが、LNA回路の右側の電源ラインやグラウンドラインの折れ曲がり、図6に比較して複雑でないため、LNAに隣接した別回路のレイアウトはし易くなる。

【0084】

なお、対向辺20を段階的に変化するレイアウトの場合、高周波バンド用LNA111や低周波用LNA110の配線パターンは変更を余儀なくされ配線長が増大する。この場合、配線長の増大は、高周波バンド用LNA111では低周波用LNA110に比較して小さくし、配線長増大の負担は低周波用LNA110でできるだけ賄うようにすることが、各通信システムの高性能化のために望ましい。

【0085】

(実施形態3)

図10及び図11は本発明の他の実施形態(実施形態3)である。図10は無線通信装置に組み込まれるCSP(Chip Size Package)型の半導体集積回路装置の模式図、図11は前記CSP型の半導体集積回路装置を組み込む多層セラミック基板等を示すレイアウト図である。

【0086】

CSPではICチップ213の図示しないパッドに、はんだバンプ601を設け、このはんだバンプ601を多層セラミック基板603の表面の図示しないパッドに接着して取り付け、ICチップ213と多層セラミック基板603間に充填材602を流し込んで固定した構造になっている。また、多層セラミック基板603の裏面(図10の下面)にはランドプレーン605が設けられている。多層セラミック基板603に設けるビアホールとこのビアホールに充填されて形成された配線604によって、ICチップ213のパッドと多層セラミック基板603の裏面のランドプレーン605は電氣的に接続される。

【0087】

信号入出力、電源供給はランドプレーン605から行われる。図からあきらかなように、CSPはQFPのようにワイヤやリードがなく、略パッド直下で信号を入出力できるので、寄生インダクタンスが低減でき、利得や雑音特性が改善さ

れる。

【 0 0 8 8 】

図 1 1 は C S P を用いた L N A レイアウト例である。図 1 0 のようなパッケージ構造のため、リードの長さを考慮する必要がなく、L N A（低周波バンド用 L N A 1 1 0，高周波バンド用 L N A 1 1 1）は I C チップ 2 1 3 の辺の中央部分でなく、I C チップ 2 1 3 の角でもよい。角に L N A を配置することによって、1 辺側で低周波バンド L N A の入出力を行い、この辺に直交する他の辺で高周波バンド L N A の入出力を行うことができる。

【 0 0 8 9 】

図 1 1 は図 1 の L N A 回路 1 4 7 で示した低周波バンド用 L N A 1 1 0，高周波バンド用 L N A 1 1 1 及び静電破壊保護回路 1 1 2 ～ 1 1 4 高周波バンド L N A の静電破壊保護回路 1 1 5 ～ 1 1 7 と C S P 外付け部品の接続を示している。ランドプレーンはパッド直下とする。パッドからの破線は、ランドプレーンから C S P 下に設けられた配線を示す。

【 0 0 9 0 】

なお、図 1 や図 8 に示す I C チップ 2 1 3 においても C S P の適用は可能である。この場合ワイヤやリードは不要となるため、寄生インダクタンスの低減が可能になる。

【 0 0 9 1 】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。上記実施形態ではトランジスタとしてバイポーラトランジスタを用いたが、他のトランジスタ、例えば M O S F E T（Metal Oxide Semiconductor Field Effect Transistor）や H B T（Hetero Junction Bipolar Transistor）を使用し、前記実施形態同様な効果が得られる。

【 0 0 9 2 】

また、本発明はトリプルバンド等さらに複数バンドの通信システムにも適用できる。

【 0 0 9 3 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるGSM/DCS1800向け無線通信装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、WCDMA (Wideband code division multiple access) , CDMA-one等の数GHz帯のLNAを有する無線通信装置にも同様に適用できる。これらの無線通信装置では、配線容量と配線抵抗及び寄生インダクタンスが高周波特性を劣化させることから、本発明を適用することによって配線容量、配線抵抗、寄生インダクタンスを小さくでき、高周波特性の向上を図ることができる。なお、CDMAは送受同時動作のため、LNAバイアス回路及び静電破壊保護回路の電源系を別に設ける必要がある。

【0094】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0095】

(1) 高周波帯の利得及び雑音特性を良好にできる無線通信装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態（実施形態1）であるデュアルバンドの無線通信装置における低雑音増幅器が組み込まれた半導体集積回路装置等の一部を示す模式図である。

【図2】

本実施形態1の無線通信装置の機能構成を示すブロック図である。

【図3】

本実施形態1の無線通信装置に組み込まれる半導体集積回路装置の概要を示す模式的平面図である。

【図4】

前記半導体集積回路装置の模式的断面図である。

【図 5】

前記半導体集積回路装置に組み込まれる I C チップにおける各回路の配置を示す模式的レイアウト図である。

【図 6】

前記 I C チップにおける低雑音増幅器を構成するバイポーラトランジスタの配線パターンを示す模式的平面図である。

【図 7】

前記バイポーラトランジスタの配線を示す模式的断面図である。

【図 8】

本発明の他の実施形態（実施形態 2）であるデュアルバンドの無線通信装置における低雑音増幅器が組み込まれた半導体集積回路装置の一部を示す模式図である。

【図 9】

本実施形態 2 の無線通信装置に組み込まれる I C チップにおける低雑音増幅器を構成するバイポーラトランジスタの配線パターンを示す模式的平面図である。

【図 1 0】

本発明の他の実施形態（実施形態 3）である無線通信装置に組み込まれる C S P 型の半導体集積回路装置の模式図である。

【図 1 1】

前記 C S P 型の半導体集積回路装置を組み込む多層セラミック基板等を示すレイアウト図である。

【符号の説明】

1 2 …コレクタ領域、1 2 …コレクタ領域、1 3 …ベース領域、1 3 c …ベース電極、1 4 …エミッタ領域、1 4 c …エミッタ電極、1 5 …絶縁膜、1 6 a, 1 6 b, 1 6 c …導電層、1 7 a, 1 7 b …コンタクトプラグ、2 0 …対向辺、2 1 …辺、1 0 1 …低周波バンド L N A の出力パッド、1 0 2 …低周波バンド L N A のグランドパッド、1 0 3 …低周波バンド L N A の入力パッド、1 0 4 …高周波バンド L N A の第 1 のグランドパッド、1 0 5 …高周波バンド L N A の出力パッド、1 0 6 …高周波バンド L N A の第 2 のグランドパッド、1 0 7 …高周

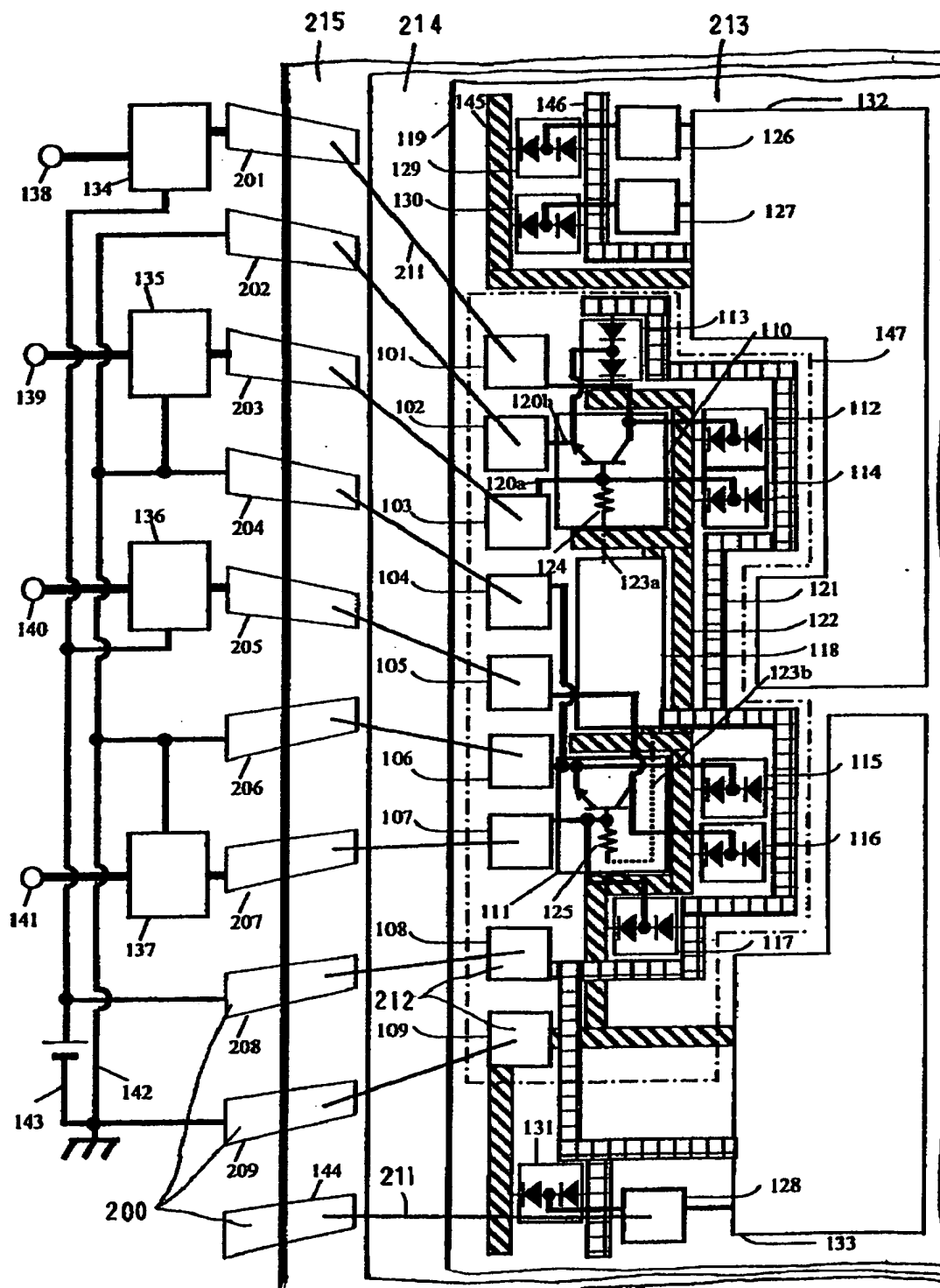
波バンドLNAの入力パッド、108…LNAのバイアス回路と静電破壊保護回路の電源パッド、109…LNAのバイアス回路と静電破壊保護回路のグランドパッド、110…低周波バンド用LNA、111…高周波バンド用LNA、112～114…低周波バンドLNAの静電破壊保護回路、115～117…高周波バンドLNAの静電破壊保護回路、118…LNAのバイアス回路、119…辺、120a, 120b, 120c…高周波配線、121…送信系の電源ライン、122…グランドライン、123a, 123b…信号ライン、124…低周波バンドLNAのバイアス抵抗、125…高周波バンドLNAのバイアス抵抗、126, 127…受信回路の一部のパッド、128…送信回路の一部のパッド、129, 130, 131…静電破壊保護回路、132…受信系回路、133…送信系回路、134…低周波バンドLNAの出力整合回路、135…低周波バンドLNAの入力整合回路、136…高周波バンドLNAの出力整合回路、137…高周波バンドLNAの入力整合回路、138～141…端子、142…IC外のグランドライン、143…IC外の電源ライン、144…リード、145…受信系のグランドライン、146…受信系の電源ライン、147…LNA回路、200…リード、201…低周波バンドLNAの出力リード、202…低周波バンドLNAのグランドリード、203…低周波バンドLNAの入力リード、204…高周波バンドLNAの第1のグランドリード、205…高周波バンドLNAの出力リード、206…高周波バンドLNAの第2のグランドリード、207…高周波バンドLNAの入力リード、208…LNAのバイアス回路と静電破壊保護回路の電源リード、209…LNAのバイアス回路と静電破壊保護回路のグランドリード、210…低雑音増幅器、211…ワイヤ、212…電極端子（パッド）、213…ICチップ、214…チップ固定部、215…パッケージ、216…吊りリード、230…半導体装置、301…送受信IC、302a…高周波バンドLNA、302b…低周波バンドLNA、303a…高周波バンド受信ミキサ、303b…低周波バンド受信ミキサ、304…次段のミキサ、305…可変利得増幅器、306…復調器、307…デバイダ、308…変調器、309…オフセットPLL、310…シンセサイザ、311…帯域通過フィルタ、320a, 320b…VCO、321a, 321b…高周波電力増幅モジュール、322…LP

F、3 2 5… I F V C O、3 2 6 a、3 2 6 b… R F V C O、6 0 1… はんだバ
ンプ、6 0 2… 充填材、6 0 3… 多層セラミック基板、6 0 4… 配線、6 0 5…
ランドプレーン。

【書類名】 図面

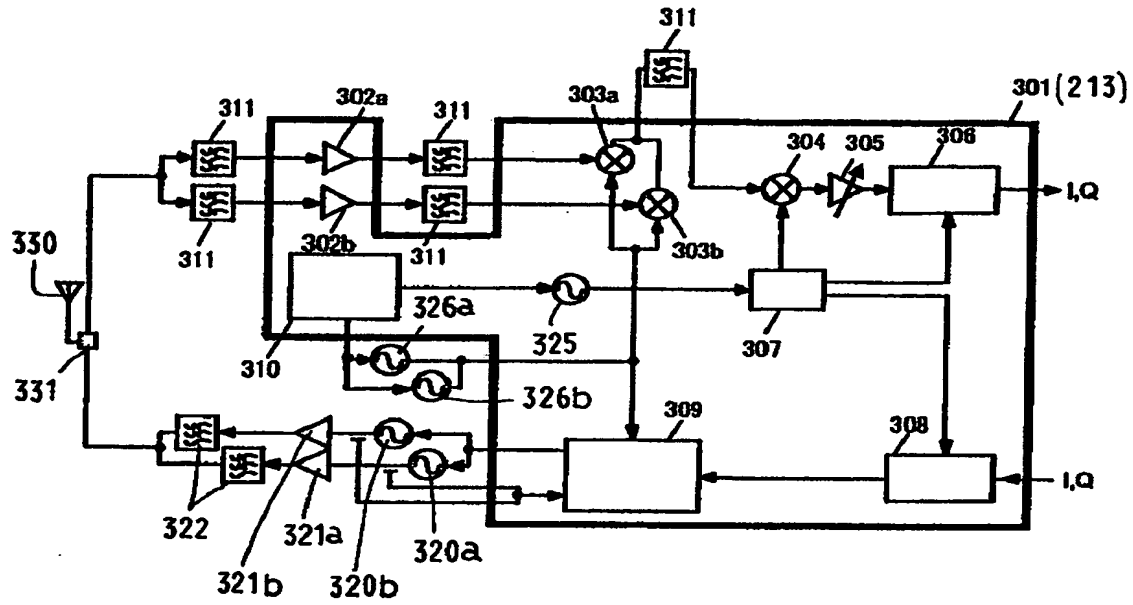
【図 1】

図 1



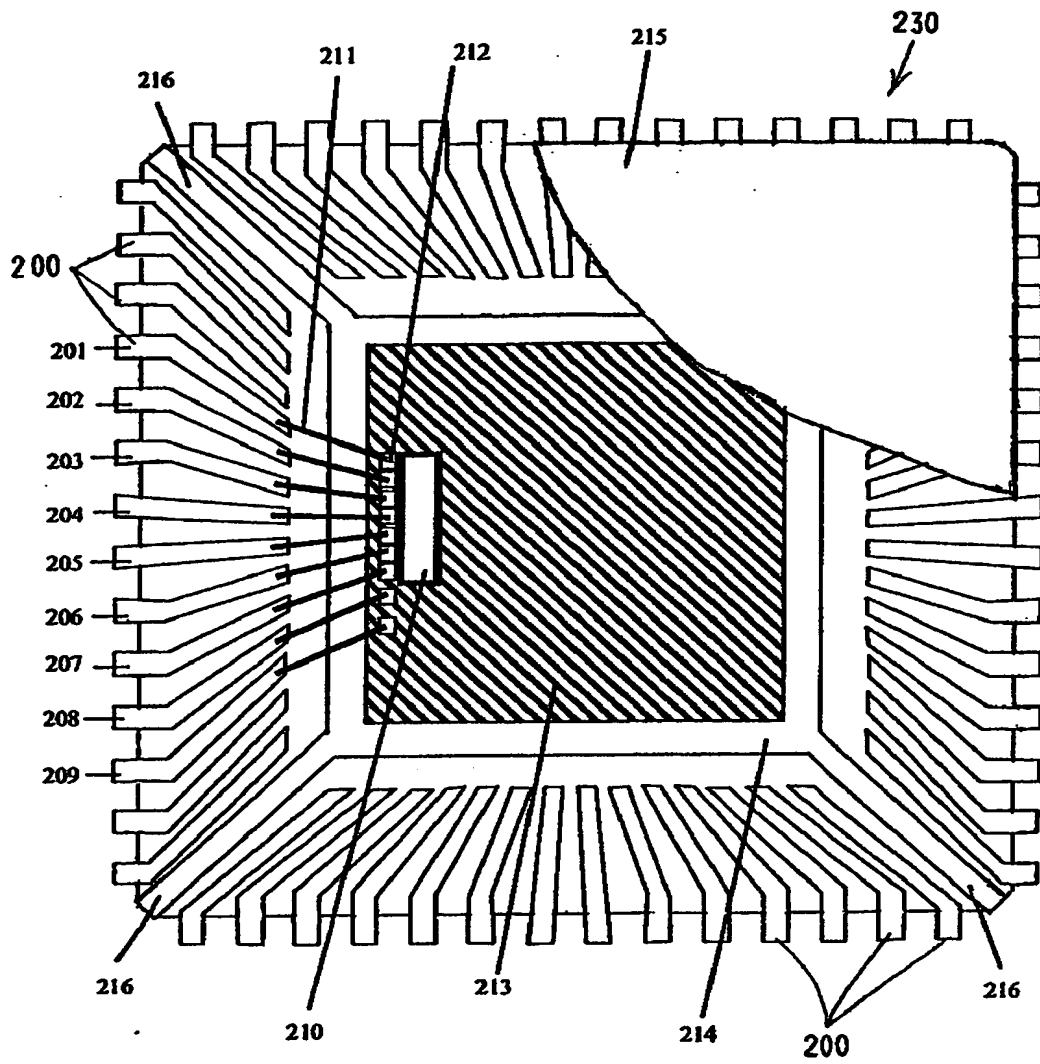
【図 2】

図 2



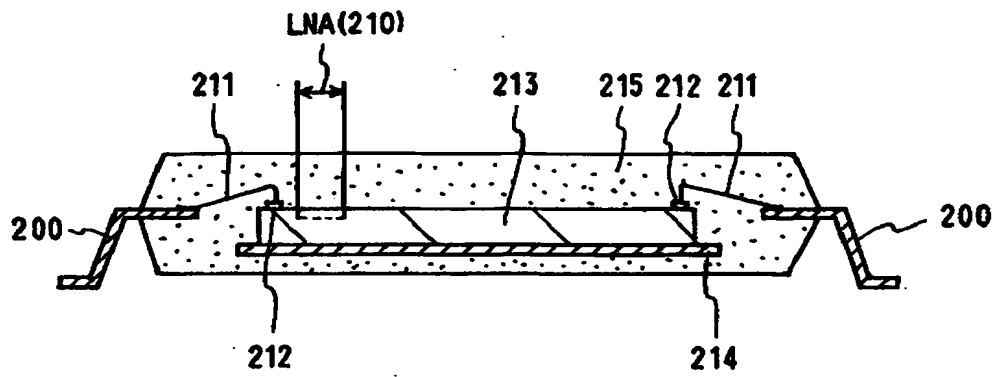
【図 3】

図 3



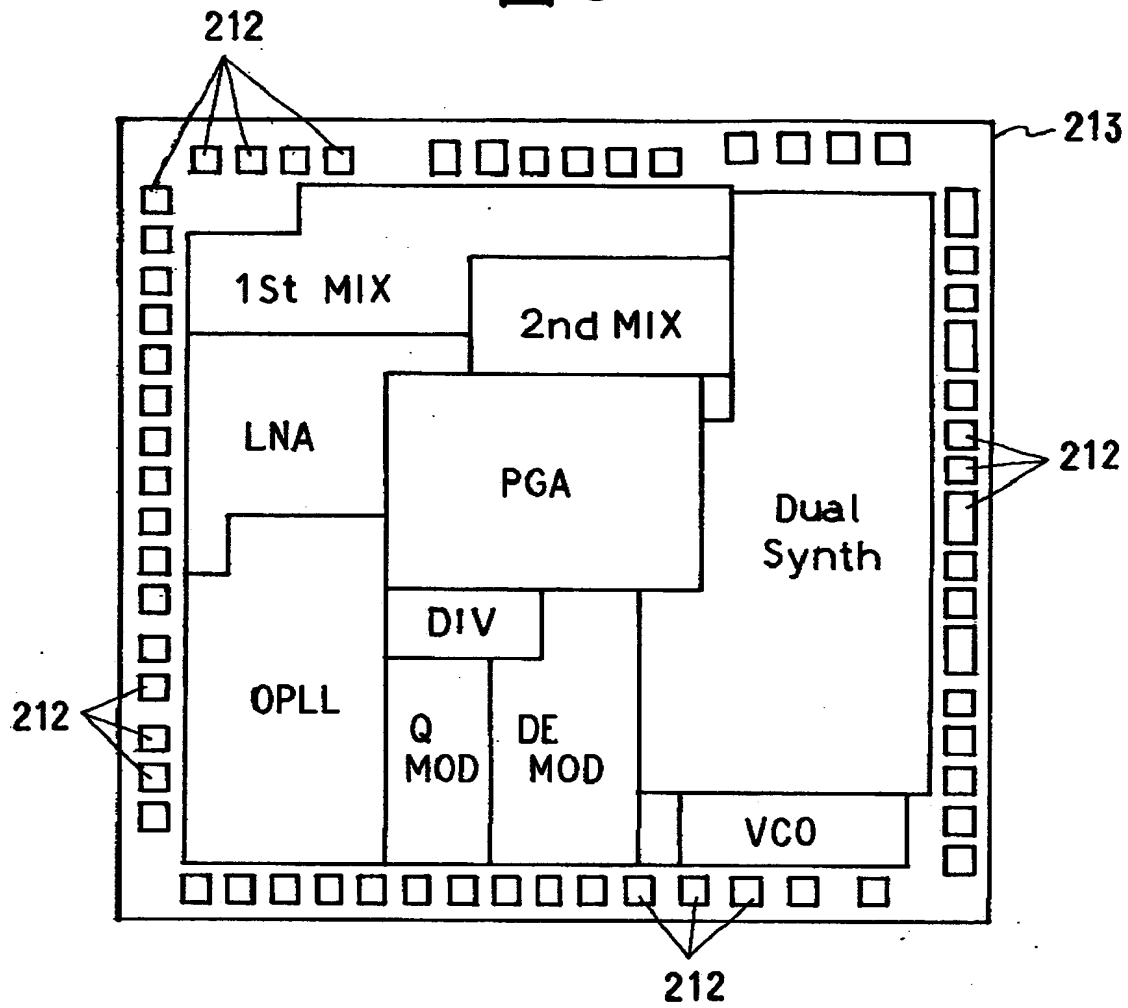
【図 4】

図 4



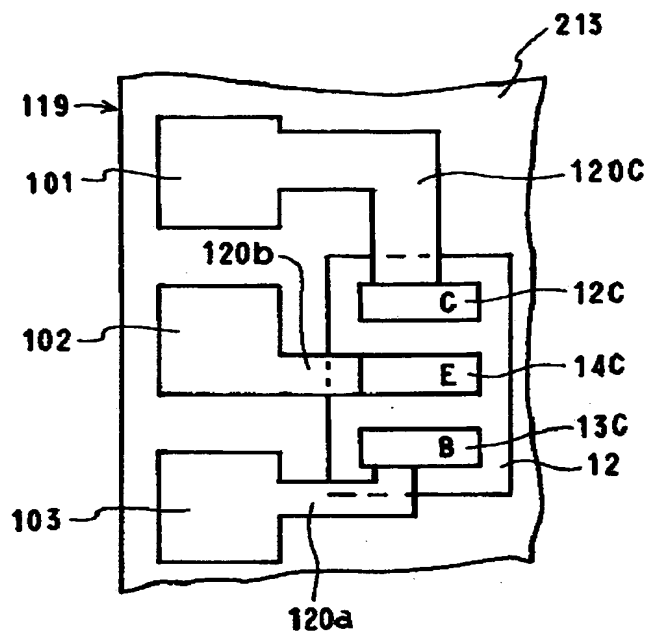
【図5】

図 5



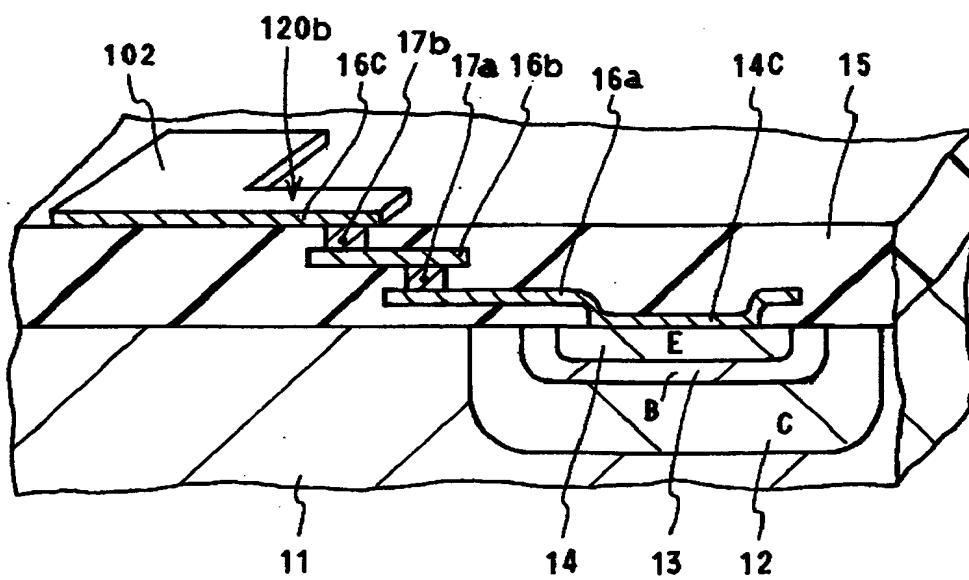
【図6】

図 6



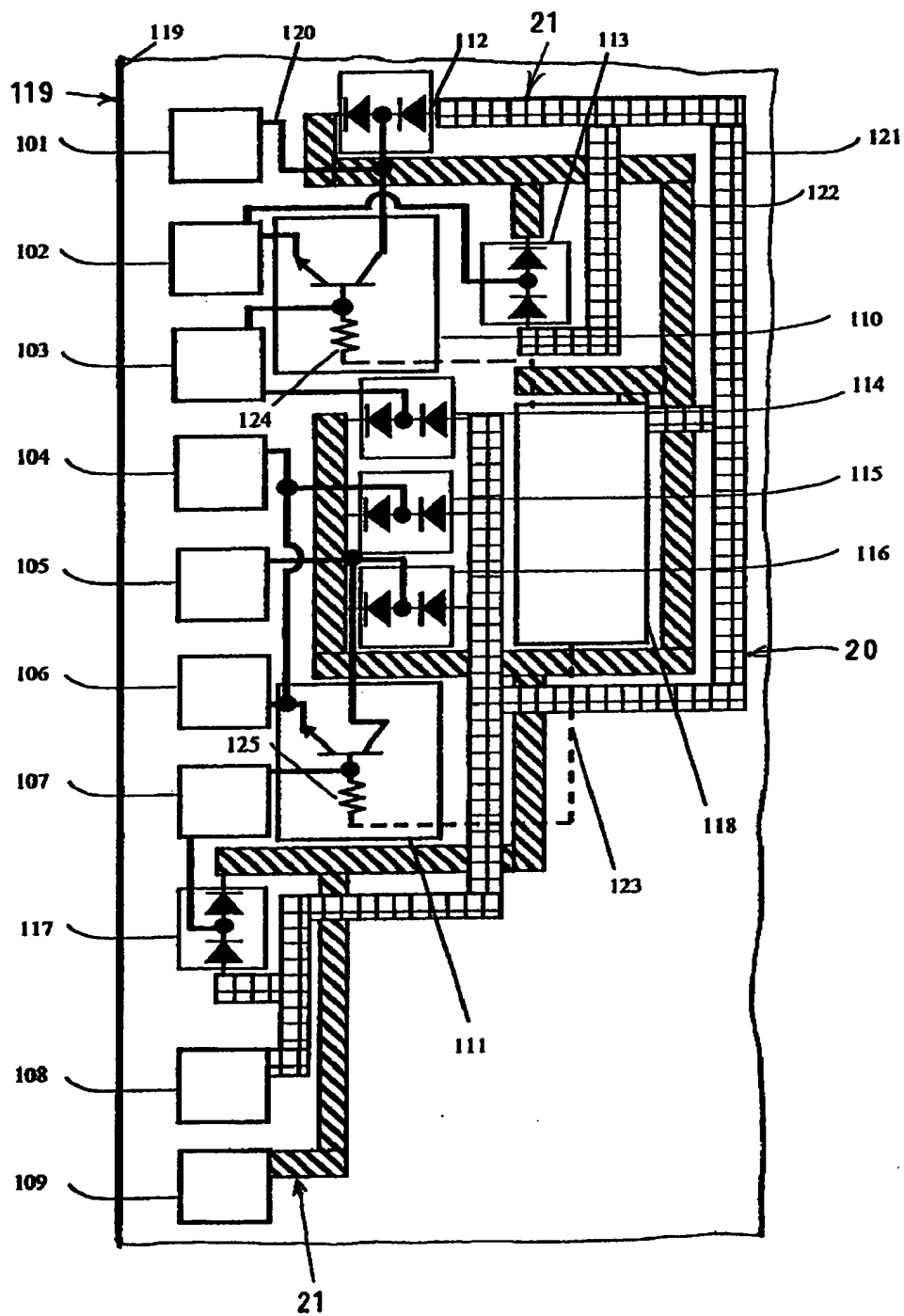
【図7】

図 7



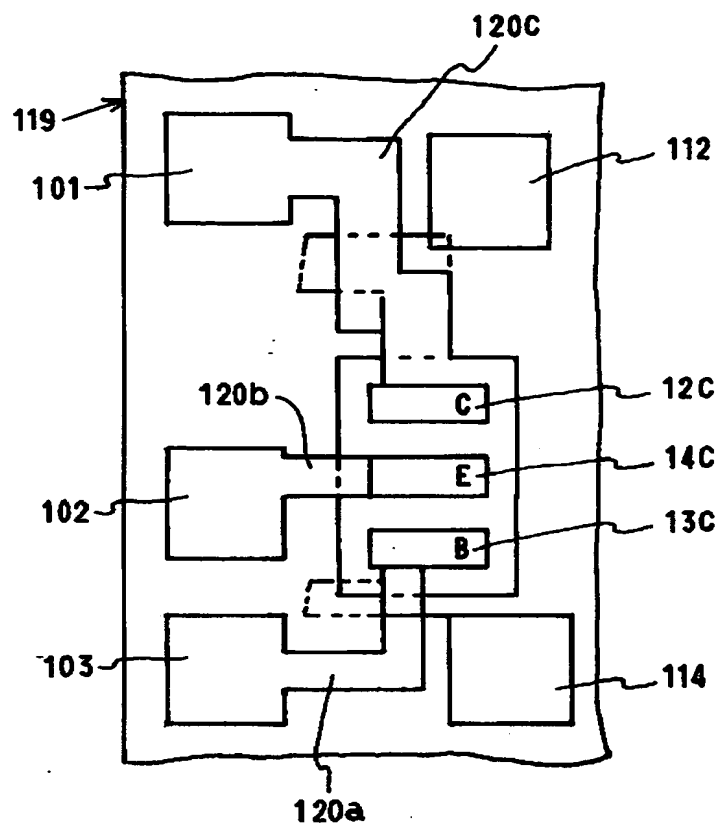
【図 8】

図 8



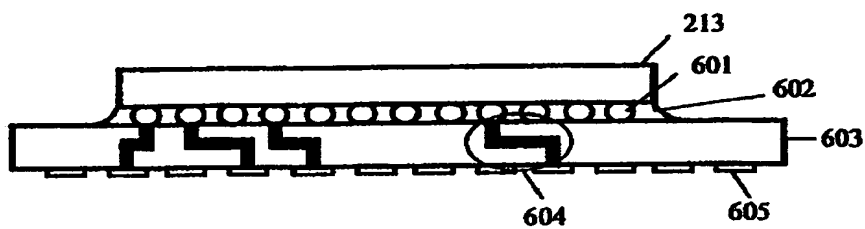
【図9】

図 9



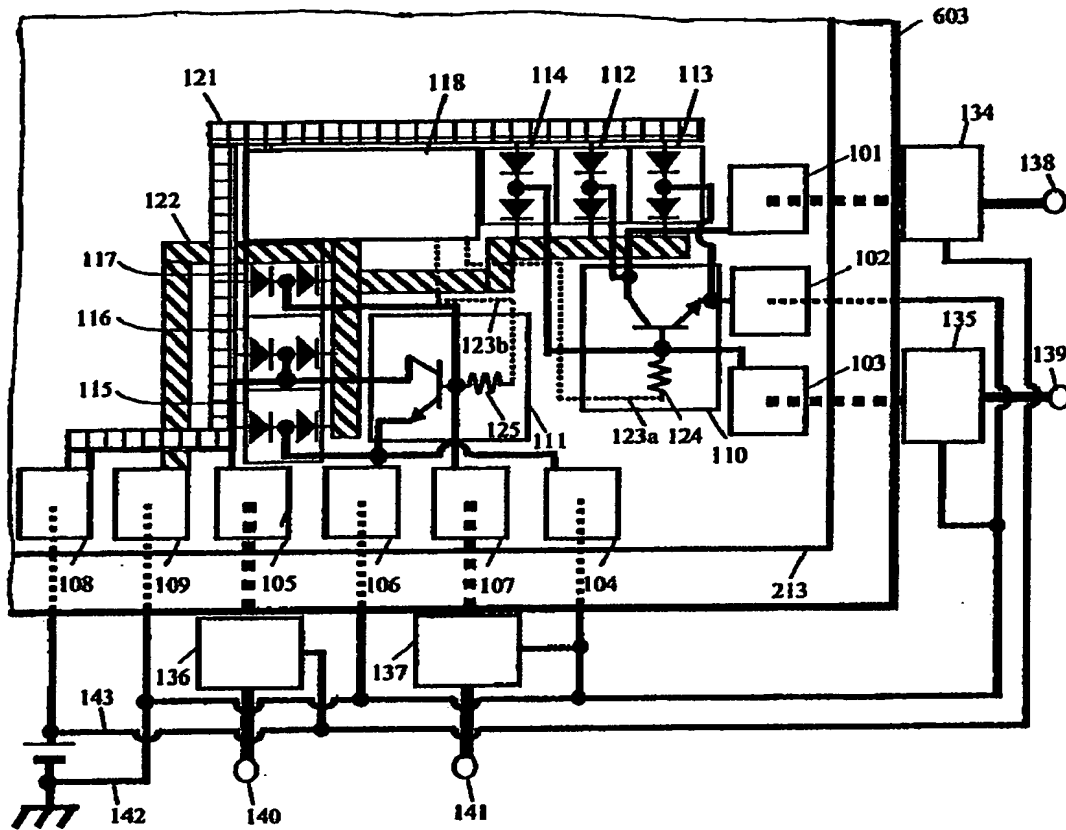
【図10】

図 10



【図 1 1】

図 1 1



【書類名】 要約書

【要約】

【課題】 高周波特性が良好な無線通信装置の提供。

【解決手段】 トランジスタで構成される低雑音増幅器（LNA）を含む送受信 IC が組み込まれた IC チップを有する無線通信装置であって、チップの主面にはその辺の縁に沿って複数の電極端子（パッド）が設けられているが、パッドと LNA を構成するトランジスタのエミッタ，ベース，コレクタとの間には、上記エミッタ，ベース，コレクタとパッドを接続する配線を横切るような他の配線が設けられず、エミッタ，ベース，コレクタに繋がる配線を短くでき容量の低減ができる。また、チップの辺と上記パッドとの間には電源ラインやグラウンドライン等の配線が設けられていない。これにより、パッドとリードを接続するワイヤの長さを短くできる。LNA はチップの一辺の中央付近に配置されている。これによりリードは短いものを使用できる。従って、利得・雑音特性が良好になる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所